

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168208

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 29/43

H01L 29/78

(21)Application number : 11-348215

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 07.12.1999

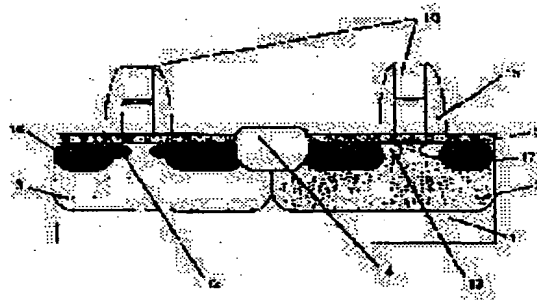
(72)Inventor : YONEDA HARUKI

(54) METHOD OF MANUFACTURING FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a field effect transistor which can solve both problems of the penetration of p-type impurities within a p-type gate and the depletion within the n-type gate at the same time.

SOLUTION: An (n) well 2, a (p) well 3, and a gate insulating film 5 are made on the same board by known method, and a semiconductor layer 8 is made on the gate insulating film 5, and the semiconductor layer 8 is doped with phosphor, and then a natural oxide film 6 is made on the semiconductor layer 8, and a conductor layer 9 is made on the natural oxide film 6, and a gate electrode 10 is patterned, and then boron is implanted into the n-well region and arsenic is implanted into the p-well region so as to form a p-type transistor and an n-type transistor, whereby the natural oxide film 6 suppresses the diffusion of boron within the gate electrode 10 in the p-type transistor and prevents the penetration into the silicon board 1, and prevents the lower phosphor-doped poly prevents the depletion of the gate electrode 10 in the n-type transistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168208

(P2001-168208A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 D 4 M 1 0 4

27/092

29/46

A 5 F 0 4 0

29/43

29/62

C 5 F 0 4 8

29/78

29/78

3 0 1 C

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願平11-348215

(22) 出願日

平成11年12月7日 (1999.12.7)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 米田 陽樹

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

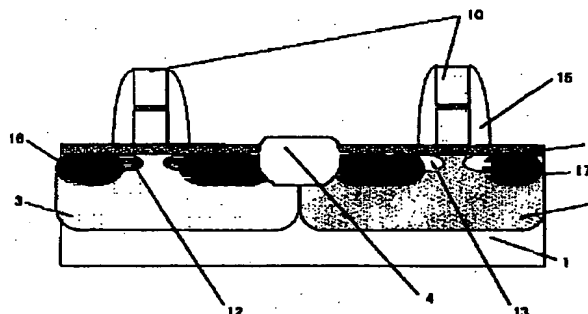
最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタの製造方法

(57) 【要約】

【課題】 p型ゲート中のp型不純物のシリコン基板への突き抜けと、n型ゲート中の空乏化との両方の問題を同時に解決することのできる電界効果型トランジスタの製造方法を提供することを目的とする。

【解決手段】 既知の方法で、同一基板1上にnウェル2、pウェル3、ゲート絶縁膜5を形成し、前記ゲート絶縁膜5の上に半導体層8を形成し、前記半導体層8に燐をドーピングした後、前記半導体層8の上に自然酸化膜6を形成し、前記自然酸化膜6の上に導電層9を形成し、ゲート電極10をパターンニングした後、前記nウェル領域にボロンを、前記pウェル領域にヒ素を注入することで、それぞれ、p型トランジスタ、n型トランジスタを形成することにより、前記自然酸化膜6がp型トランジスタにおける前記ゲート電極10中のボロンの拡散を抑制し、シリコン基板1への突き抜けを防ぎ、下層の燐ドーピングがn型トランジスタにおけるゲート電極10の空乏化を防ぐ。



【特許請求の範囲】

【請求項1】 同一基板上にn型領域、p型領域を形成する第1の工程と、

その基板の上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜の上にn型又はp型の不純物がドーパされた半導体層を形成する第3の工程と、

前記半導体層の上に絶縁層を形成する第4の工程と、

前記絶縁層の上に導電体層を形成する第5の工程と、

前記n型領域及びp型領域上のそれぞれにおいて、前記半導体層、絶縁層、導電体層をゲート電極として加工する第6の工程と、

前記第6の工程の前又は後に、前記n型領域の少なくとも前記導電体層にp型不純物を、前記p型領域の少なくとも前記導電体層にn型不純物を注入する第7の工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項2】 前記絶縁層が自然酸化膜層であることを特徴とする請求項1に記載の電界効果型トランジスタの製造方法。

【請求項3】 前記第3の工程において、n型不純物をドーパすることを特徴とする請求項1に記載の電界効果型トランジスタの製造方法。

【請求項4】 前記第4の工程において、大気中での放置時間を制御することで、前記自然酸化膜層の膜厚を制御することを特徴とする請求項1又は2に記載の電界効果型トランジスタの製造方法。

【請求項5】 前記n型不純物が燐であることを特徴とする請求項1又は3に記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、両チャネルとも表面チャネル型トランジスタとなる電界効果型トランジスタの製造方法に関する。

【0002】

【従来の技術】LSIの高速化・低消費電力化に伴い、両チャネルとも表面チャネル型トランジスタで構成されるデュアルゲートポリトランジスタが主流となっている。以下、デュアルゲートポリトランジスタの製造方法について図14～図25を参照しながら説明する。図14は、例えばp型シリコン基板1上に、nウェル2、pウェル3を形成し、既知の方法で素子分離酸化膜4、ゲート酸化膜5を形成したものである。その後、図15のように多結晶シリコン膜7を成長させ、図16のように多結晶シリコン膜7上にレジストパターン11を形成し、そのレジストパターン11をマスクとしてエッチングすることにより、図17のようにゲート電極10を形成する。そして、図18、19のようにn型トランジスタ領域にヒ素、p型トランジスタ領域にボロンを注入することにより低濃度不純物層12、13を形成する。そして、図20のように例えば、HTO (High Temperature Oxide) のよ

うな層間絶縁膜14を成膜した後、異方性エッチングを用いて、図21のようにサイドウォールスペーサ15をゲート電極10の側面に形成する。その後、図22、23のように、n型トランジスタ領域にヒ素、p型トランジスタ領域にボロンを注入することにより、ゲート電極10への不純物の注入と拡散層16、17を同時に形成する。図24はこうして作られたCMOSTランジスタである。

【0003】このようなデュアルゲートトランジスタでは、p型トランジスタのゲート電極10の不純物であるボロンのシリコン基板への突き抜けに依るしきい値電圧のばらつきやゲート酸化膜の信頼性の低下が最も懸念され、そのため、特開平4-286127号公報には図25に示すように、ゲート電極10を積層構造とし、ゲート電極10の間に薄い酸化膜19を持つ積層構造など、ゲート電極内の不純物の拡散をできるだけ低くするような構造が提案されている。

【0004】

【発明が解決しようとする課題】ゲート電極内の不純物の拡散をできるだけ低くするような構造を用いた場合、n型トランジスタのゲート電極の不純物としてヒ素を用いると、ヒ素は拡散係数が低いため、ゲート電極の下部まで十分に拡散せず、その結果、n型トランジスタのゲート電極の空乏化が大きくなり、トランジスタの性能が劣化する問題がある。

【0005】本発明は、特性の良好な電界効果型トランジスタを提供することを目的とする。

【0006】

【課題を解決するための手段】請求項1に記載の電界効果型トランジスタの製造方法は、同一基板上にn型領域、p型領域を形成する第1の工程と、その基板の上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜の上にn型又はp型の不純物がドーパされた半導体層を形成する第3の工程と、前記半導体層の上に絶縁層を形成する第4の工程と、前記絶縁層の上に導電体層を形成する第5の工程と、前記n型領域及びp型領域上のそれぞれにおいて、前記半導体層、絶縁層、導電体層をゲート電極として加工する第6の工程と、前記第6の工程の前又は後に、前記n型領域の少なくとも前記導電体層にp型不純物を、前記p型領域の少なくとも前記導電体層にn型不純物を注入する第7の工程とを含むことを特徴とする。

【0007】この場合、n型不純物の方がp型不純物に比べて拡散係数が高いとき、ゲート電極中には絶縁層を形成しているので、n型トランジスタにおけるゲート電極にあってはn型不純物の拡散を抑えて、シリコン基板への突き抜けを抑えることができる。このとき、工程3において、半導体層にp型不純物をドーパしておくことにより、p型トランジスタのゲート電極にあっては、絶縁層のためにp型不純物が拡散しにくくても、半導体層下部の不純物濃度が低くなることを防止でき、ゲート電極の空乏化を抑えることができる。

【0008】逆に、p型不純物の方がn型不純物に比べて拡散係数が高いとき、ゲート電極中には絶縁層を形成しているため、p型トランジスタにおけるゲート電極にあってはp型不純物の拡散を抑えて、シリコン基板への突き抜けを抑えることができる。このとき、工程3において、半導体層にn型不純物をドーピングしておくことにより、n型トランジスタのゲート電極にあっては、絶縁層のためにn型不純物が拡散しにくくても、半導体層下部の不純物濃度が低くなることを防止でき、ゲート電極の空乏化を抑えることができる。

【0009】請求項2記載の電界効果型トランジスタの製造方法は、前記絶縁層が自然酸化膜層であることを特徴とする。即ち、絶縁層形成のための特別な工程を加えることなく、絶縁層を形成することができる。請求項3記載の電界効果型トランジスタの製造方法は、請求項1記載の電界効果型トランジスタの製造方法において、前記第3の工程において、n型不純物をドーピングすることを特徴とする。

【0010】即ち、ゲート電極中には絶縁層を形成しているため、p型トランジスタにおけるゲート電極にあってはp型不純物の拡散を抑えて、シリコン基板への突き抜けを抑えることができる。また、工程3により、半導体層にn型不純物をドーピングすれば、n型トランジスタのゲート電極にあっては、絶縁層のためにn型不純物が拡散しにくくても、半導体層下部の不純物濃度が低くなることを防止でき、ゲート電極の空乏化を抑えることができる。

【0011】請求項4記載の電界効果型トランジスタの製造方法は、請求項1又は3記載の電界効果型トランジスタの製造方法において、前記第4の工程において、大気中での放置時間を制御することで、前記自然酸化膜層の膜厚を制御することを特徴とする。即ち、大気中に放置する時間を制御することで、自然酸化膜の膜厚を制御性良く形成することができ、チップ毎にばらつくことなく、p型トランジスタにおいてゲート電極中に注入したp型不純物がシリコン基板に突き抜けることと、n型トランジスタにおいてゲート電極が空乏化することを防ぐことができる。

【0012】請求項5記載の電界効果型トランジスタの製造方法は、請求項1又は3記載の電界効果型トランジスタの製造方法において、前記n型不純物を燐にすることで、最下層のゲート電極内において、不純物分布の偏りを少なくし、空乏化を抑えることができることを特徴とする。

【0013】

【発明の実施の形態】本発明を具体化した実施形態における電界効果型トランジスタの製造方法を、図1～図13に示す。但し、従来例と同様の構成には同じ符号を用い、その詳細な説明を省略する。

工程1（図1参照）：p型シリコン基板1上に、nウェル

2、pウェル3を形成し、既知の方法で素子分離酸化膜4を形成した後、熱酸化法（例えば、950℃の温度を用いたドライ酸化）を用いて、シリコン酸化膜5を例えば3nmの膜厚で形成する。

【0014】工程2（図2参照）：下層のゲート電極層となる第1の多結晶シリコン層8をCVD法により例えば、10nm形成する。尚、第1の多結晶シリコン層8はアモルファスシリコン層でもよい。

工程3（図3参照）：第1の多結晶シリコン層8に燐をドーピングする。その方法は、例えば、850℃において、燐を例えば、POCl₃層18を形成した後、固相拡散させる。また、イオン注入法を用いてもよい。

【0015】工程4（図4参照）：工程3の後、希フッ酸により、一度、工程2以降で形成された自然酸化膜を除去し、その後、再び基板を大気中に放置して、自然酸化膜6を形成した後、自然酸化膜6上に上層のゲート電極層となる第2の多結晶シリコン層9をCVD法により例えば、10nm形成する。尚、自然酸化膜6の膜厚は、大気中に放置する時間で制御することができる。

【0016】また、ここでは上層のゲート電極層として第2の多結晶シリコン層9を用いたが、アモルファスシリコン、金属でもよい。

工程5（図5参照）：前記第2の多結晶シリコン層9上にレジストパターン11を形成する。

工程6（図6参照）：前記レジストパターン11をマスクとして、例えば、ECRプラズマエッチャーにHBr/O₂ガスを用いて、第2の多結晶シリコン層9、自然酸化膜6、及び、第1の多結晶シリコン層8をエッチングし、前記レジストパターン11をエッチングし、ゲート電極10を形成する。

【0017】工程7（図7参照）：n型トランジスタ領域にヒ素を注入することにより低濃度不純物層12を形成する。

工程8（図8参照）：p型トランジスタ領域にボロンを注入することにより低濃度不純物層13を形成する。

工程9（図9参照）：例えば、HTO（High Temperature Oxide）のような層間絶縁膜14を成膜する。

【0018】工程10（図10参照）：前記層間絶縁膜14を異方性エッチングを用いてエッチングすることで、サイドウォールスペーサ15を形成する。

工程11（図11参照）：n型トランジスタ領域にヒ素を注入することにより、ゲート電極10への不純物の注入と拡散層16を同時に形成する。

工程12（図12参照）：p型トランジスタ領域にボロンを注入することにより、ゲート電極10の主に第2の多結晶シリコン層9にボロンを注入するとともに、基板1に拡散層17を形成する。その後、熱処理を行うことにより、ボロンが第1の多結晶シリコン層8に拡散する。

【0019】この時、ゲート電極10中に自然酸化膜6を形成していることにより、p型トランジスタにおけるゲ

ート電極10にあっては、ボロンの注入時にボロンが第1の多結晶シリコン層8の下方にまで到達しないので、熱処理によってボロンが拡散しても、このボロンがシリコン基板1へ突き抜けることを抑えることができる。また、第1の多結晶シリコン層8にはn型不純物である燐をドーピングしているので、n型トランジスタのゲート電極10にあっては、自然酸化膜6のためにヒ素が拡散しにくくても、第1の多結晶シリコン層8下部の不純物濃度が低くなることを防止でき、ゲート電極10の空乏化を抑えることができる。

【0020】本実施形態にあっては、以下の通りに変更することができる。

(1) 自然酸化膜6を2層以上設ける。こうすることで、ボロンの基板への突き抜けをより防止することができる。

(2) 工程3において、第1の半導体層8に、燐とともに窒素を注入する。こうすることで、ゲート酸化膜5界面のダングリングボンドを窒素で終端することができ、ボロンのシリコン基板1への突き抜けをより強固に防止することができる。

(3) 工程12において、ボロンイオンに代えて、 BF_2 イオンを用いる。この場合、 BF_2 はボロンに比べて重いため、低エネルギーの注入機を用いることなく、拡散層を浅く形成することができる。

【0021】

【発明の効果】以上説明したように、本発明は、特性の良好な電界効果型トランジスタを提供することができる。

【図面の簡単な説明】

【図1】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図2】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図3】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図4】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図5】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図6】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図7】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図8】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図9】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図10】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図11】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図12】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図13】本発明を具体化した実施形態に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図14】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図15】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図16】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図17】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図18】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図19】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図20】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図21】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図22】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図23】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

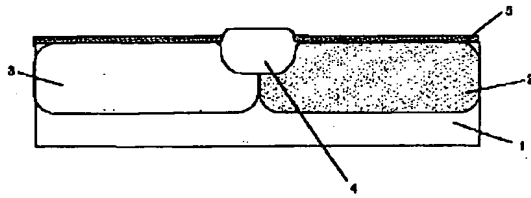
【図24】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

【図25】従来例に係る電界効果型トランジスタの製造過程を示す概略断面図である。

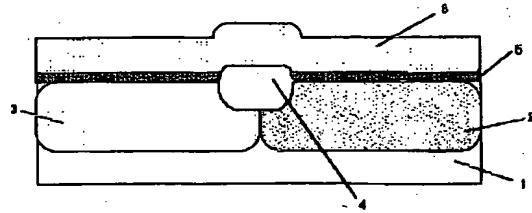
【符号の説明】

- 1・シリコン基板
- 2・nウェル
- 3・pウェル
- 4・素子分離酸化膜
- 5・シリコン酸化膜
- 6・自然酸化膜
- 7・多結晶シリコン層
- 8・第1の多結晶シリコン層
- 9・第2の多結晶シリコン層
- 10・ゲート電極
- 11・フォトレジスト
- 12・低濃度不純物層(n+)
- 13・低濃度不純物層(p+)
- 14・層間絶縁膜
- 15・サイドウォールスペーサ
- 16・拡散層(n+)
- 17・拡散層(p+)
- 18・ POCl_3 層

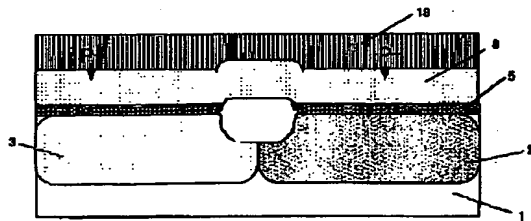
【図1】



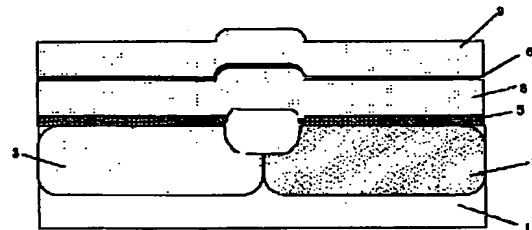
【図2】



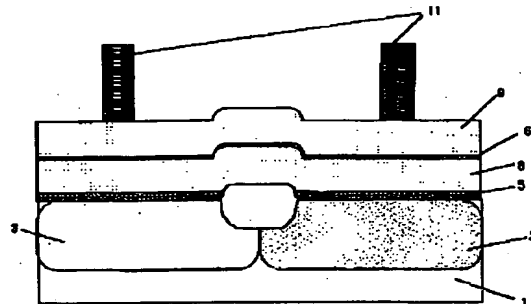
【図3】



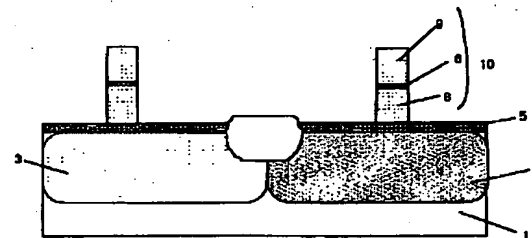
【図4】



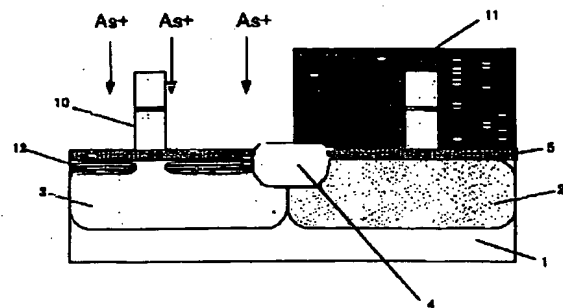
【図5】



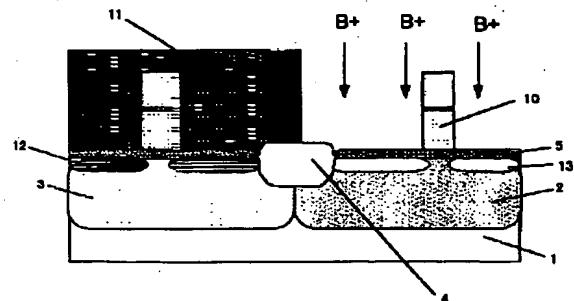
【図6】



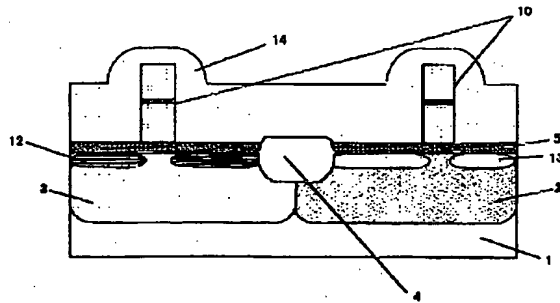
【図7】



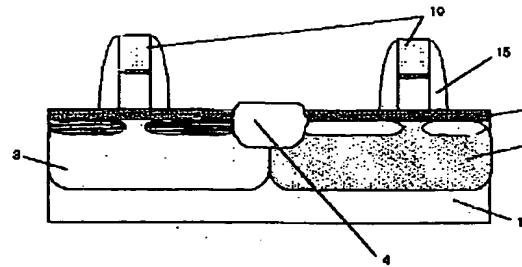
【図8】



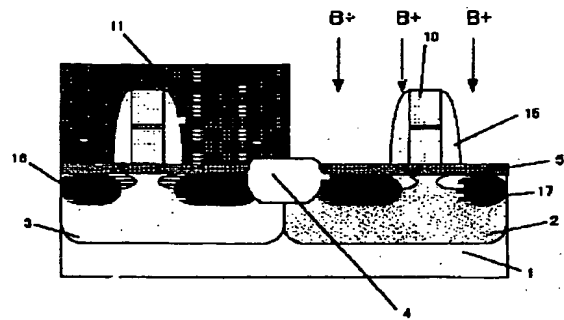
【図9】



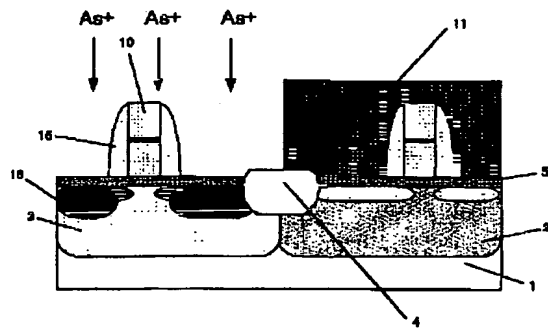
【図10】



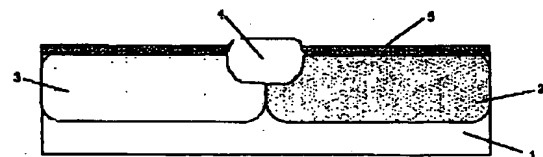
【図12】



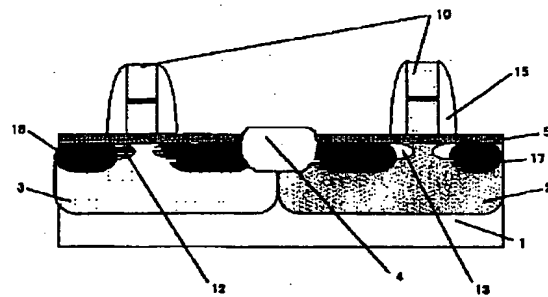
【図11】



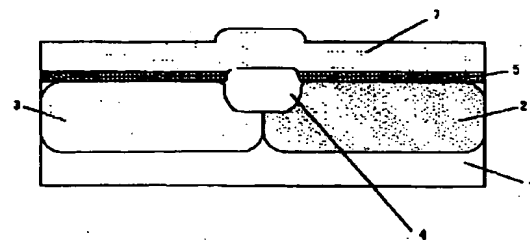
【図14】



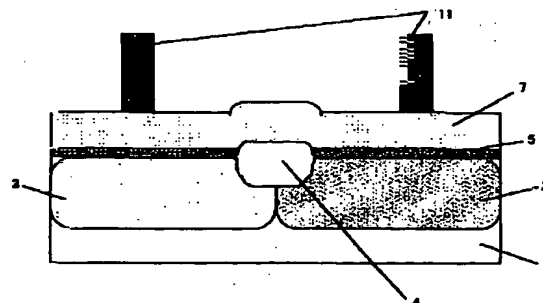
【図13】



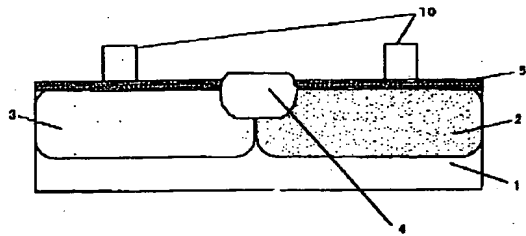
【図15】



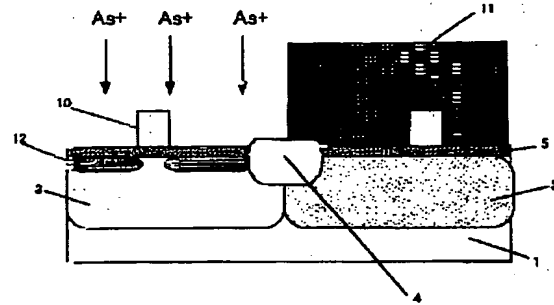
【図16】



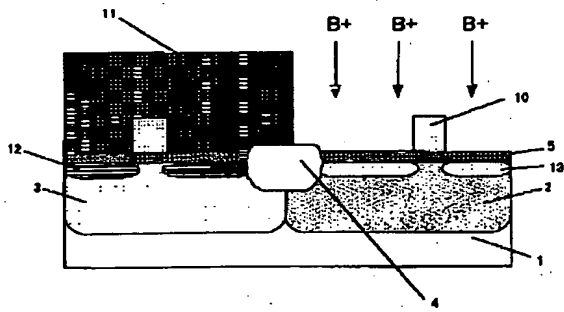
【図17】



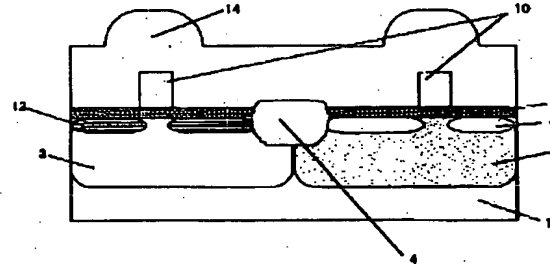
【図18】



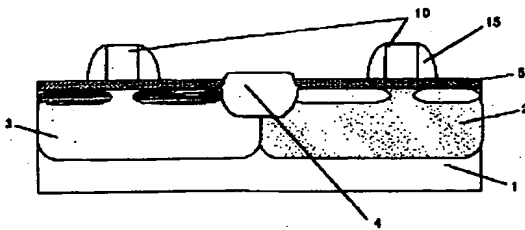
【図19】



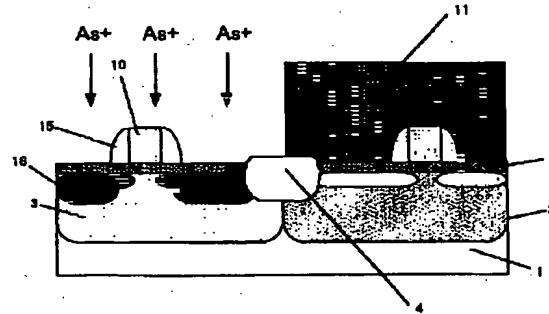
【図20】



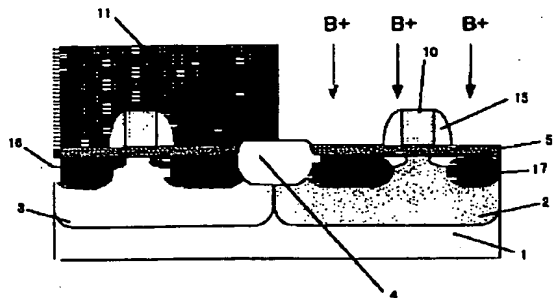
【図21】



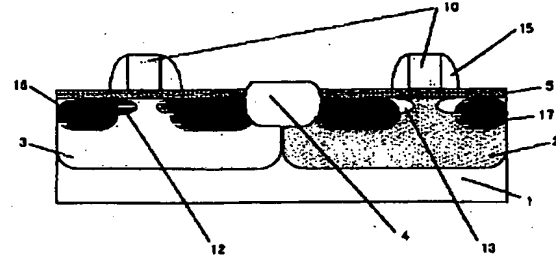
【図22】



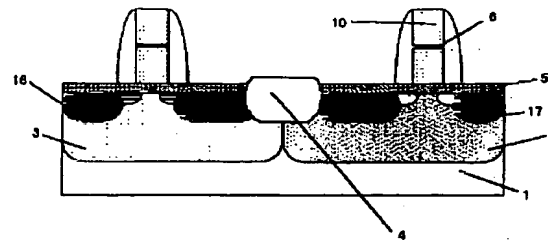
【図23】



【図24】



【図25】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB40 CC05 DD29
DD43 DD55 DD65 EE08 EE14
FF19 GG09 GG10 GG14 HH04
HH16
5F040 DA06 DB03 DC01 EC02 EC04
EC07 EC28 EF02 EK01 FA05
FB02 FC11
5F048 AA07 AC03 BA01 BB06 BB07
BB12 BB13 BC06 BD04 BE03
BG12 DA17 DA18 DA25